

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Hiroshi BABA

Serial No.: **NEW**

Filed: March 20, 2000

For: PHASE COMPARATOR AND METHOD OF CONTROLLING POWER SAVING
OPERATION OF THE SAME, AND SEMICONDUCTOR INTEGRATED CIRCUIT

03/20/00
JC544 U.S. PTO
09/531677
HR

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D. C. 20231

Date: March 20, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 11-120620, Filed April 27, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,
McLELAND & NAUGHTON



Ronald F. Naughton
Attorney for Applicant
Reg. No. 24,616

Atty. Docket No. **000348**
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
RFN/lif

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 1999年 4月 27日

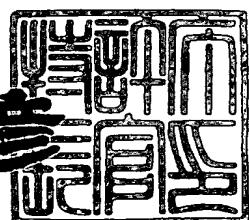
出願番号
Application Number: 平成11年特許願第120620号

出願人
Applicant(s): 富士通株式会社

1999年12月10日

特許庁長官
Commissioner,
Patent Office

近藤 隆



出証番号 出証特平11-3086894

【書類名】 特許願

【整理番号】 9840200

【提出日】 平成11年 4月27日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H03L 7/18

【発明の名称】 位相比較器及びその省電力動作制御方法及び半導体集積回路

【請求項の数】 7

【発明者】

【住所又は居所】 鹿児島県薩摩郡入来町副田5950番地 株式会社九州
富士通エレクトロニクス内

【氏名】 馬場 浩志

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相比較器及びその省電力動作制御方法及び半導体集積回路

【特許請求の範囲】

【請求項1】 基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周ステップと、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周ステップと、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較ステップを含む位相比較器の省電力動作制御方法において、

前記基準信号分周ステップと前記比較信号分周ステップの出力に従って、省電力状態解除信号を生成する解除信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期基準信号分周ステップの初期化を行う第1の初期化信号を生成する第1の初期化信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期比較信号分周ステップの初期化を行う第2の初期化信号を生成する第2の初期化信号生成ステップを含むことを特徴とする位相比較器の省電力動作制御方法。

【請求項2】 請求項1記載の前記基準信号分周ステップと前記比較信号分周ステップの分周比は、それぞれ独立に設定できることを特徴とする、請求項1記載の位相比較器の省電力動作制御方法。

【請求項3】 基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器の省電力動作制御回路において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第1の初期化信号を生成する第1の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第2の初期化信号を生成する第2の初期化信号生成手段を含むことを特徴とする

位相比較器の省電力動作制御回路。

【請求項4】請求項3記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする、請求項3記載の省電力動作制御回路。

【請求項5】基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と電圧制御発振器の出力信号を受け前記出力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器と、前記位相比較器の比較結果の出力を受けるループフィルタと、前記ループフィルタの出力を受ける前記電圧制御発振器よりなるPLL周波数シンセサイザにおいて、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第1の初期化信号を生成する第1の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第2の初期化信号を生成する第2の初期化信号生成手段を含む位相比較器の省電力動作制御回路を含む位相比較器を含むことを特徴とするPLL周波数シンセサイザ。

【請求項6】請求項5記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする、請求項5記載のPLL周波数シンセサイザ。

【請求項7】請求項5及び6記載のPLL周波数シンセサイザを含むことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PLL周波数シンセサイザに関し、特にその省電力制御を行うための位相比較器の制御方法およびその半導体回路に関するものである。

【0002】

【従来の技術】

図1は従来のPLL周波数シンセサイザの全体ブロック図を示したものである。PLL周波数シンセサイザは、電圧制御発振器（VCO）102、位相比較器101、低域通過フィルタ（LPF）106およびマイコン108より構成される。位相比較器101は、VCO102の出力の直流分をコンデンサ105により削除した信号（これを以後、比較信号と呼ぶ）を入力端子finより入力し、また基準周波数信号103の直流分をコンデンサ104により削除した信号（これを以後、基準信号と呼ぶ）を入力端子OSCinより入力し、両信号を各々独立の分周比で分周した信号の位相を比較してその位相差に応じた誤差信号を出力端子Doより出力する。位相比較器101の誤差信号Doは、LPF106により高周波成分を削除されたのち、電圧制御発振器102に入力し電圧制御発振器102の発振周波数を制御する。PLL周波数シンセサイザの出力信号107は電圧制御発振器102の出力信号である。出力信号107の周波数は、前記基準信号及び比較信号を分周する分周比を、マイコン108により位相比較器101の入力端子CLK、DT、LEから入力して任意に設定することにより、自由に変えることができる。

【0003】

図2は、図1に示す位相比較器101のブロック図を示したものである。位相比較器101は主に、基準信号分周段202と、プリスケーラ204、比較信号分周段205、位相比較部208、チャージポンプ209、省電力動作制御回路212及びコントロール回路213より構成される。基準信号221は入力バッファ201を介して基準信号分周段202のリファレンスカウンタ203に入力され、所定の分周比で分周された後、位相比較部208の一方の入力端子に入力する。比較信号222はプリスケーラ204で所定の分周比で分周された後、更に比較信号分周段205のスワローカウンタ206及びメインカウンタ207に入力し所定の分周比で分周され、位相比較部208の他方の入力端子に入力する。位相比較部208は前記2つの入力信号の位相を比較し、位相誤差に応じて、チャージポンプ209を介して位相誤差信号227を出力端子Doより出力する

。また、位相比較部208の出力はデジタルロック検出部210にも入力し、PLL周波数シンセサイザの位相同期状態を示すロック信号228がLD端子から出力される。出力選択回路211は、コントロール回路213により制御されて位相比較部208に入力する2つの信号のどちらかをモニタ信号229としてfout端子から出力する。省電力動作制御回路212は、入力バッファ201の出力信号及びプリスケーラ204の出力信号を入力とし、基準信号分周段202、比較信号分周段205、位相比較部208及びデジタルロック検出部210の省電力動作の制御を行う。

【0004】

ここで、位相比較器101の動作を制御するコントロール回路213について説明する。図3は、図2のコントロール回路213に入力する信号223、224、225のタイミングチャートを示したものである。データDTは、位相比較器101を制御するための制御データであり、また、クロックCLKは、データDTの各ビットに同期したクロック信号である。ラッチネーブル信号LEがハイレベルとなったときに、CLKに同期してコントロール回路213に入力されたデータDTが、コントロール回路内に記憶される。

【0005】

図4は位相比較器101を制御するための制御データの一例を示したものであり、図4(A)は基準信号分周段202の制御データの構成例を示し、図4(B)は比較信号分周段205の制御データの構成例を示す。図4(A)、(B)の両制御データともに、CN1及びCN2は基準信号分周段202の制御データなのか比較信号分周段205の制御データなのかを区別するコントロールビットである。図4(A)のX印を付したビット3, 4, 19, 20, 21, 22, 23は意味のないデータ(don't care)で、ダミービットを示す。また図4(B)のX印を付したビット5は意味のないデータで、ダミービットを示す。図4(A)及び(B)に示した制御データは、図3に示すタイミングにおいて、最上位ビットMSB(即ちビット23)側から、最下位ビットLSB(即ちビット1)側に向かって順に1ビットずつ入力される。

【0006】

図5は、コントロールビットCN1, CN2のデータの構成例を示し、CN1及びCN2の両方が「0」の時にはビット3からビット23は基準信号分周段202の制御データであることを示し、また、CN1が「0」でCN2のが「1」の時にはビット3からビット23は比較信号分周段205の制御データであることを示す。

【0007】

図4 (A) のビット5からビット18は図2のリファレンスカウンタ203の分周比「R」を設定する制御データである。また図4 (B) のビット6からビット12は図2の比較信号分周段205のスワローカウンタ206の分周比「A」を設定し、ビット13からビット23は図2のメインカウンタ207の分周比「N」を設定し、ビット4はプリスケーラ204の分周比「P」を選択する。図2の比較信号分周段205は、比較信号を $(P \times N + A)$ 分周する。ビット3は、ディジタルロック検出部210と出力選択回路211の設定を行う。

【0008】

図6は図2に示す従来の省電力動作制御回路212を示したものである。省電力制御信号PSRは、インバータ601に入力する。省電力制御信号はLレベルの時は省電力状態を示し、Hレベルのときには、省電力状態が解除されていることを示す。インバータ601の出力はインバータ602に入力し、インバータ602の出力はNANDゲート603の一方の入力端子、Dフリップフロップ616のSET端子、Dフリップフロップ617のRESET端子及び、セットリセットフリップフロップ621を構成するNANDゲート620の一方の入力端子に入力する。NANDゲート619とNANDゲート620は、セットリセットフリップフロップ621を構成する。プリスケーラの出力信号の反転信号XFPA Rは、Dフリップフロップ616、617のD入力端子及び3入力NANDゲート618の第1の入力端子に入力する。基準信号FRARは、NANDゲート603の他方の入力端子に入力する。

【0009】

インバータ604-1から604-7は従属接続されており、NANDゲート603の出力は、インバータ604-1の入力端子に接続されている。インバー

タ604-7の出力は、NANDゲート608の一方の入力に接続されている。NANDゲート608の出力はインバータ609の入力端子に接続され、インバータ609の出力端子はインバータ610の入力端子とDフリップフロップ616のクロックCK入力端子に接続されている。インバータ610の出力は、Dフリップフロップ616の反転クロックXCK入力端子とインバータ611-1の入力端子に接続されている。インバータ611-1からインバータ611-14は従属接続されており、インバータ611-14の出力はインバータ615の入力端子とDフリップフロップ617の反転クロックXCK入力端子に入力されている。インバータ615の出力はDフリップフロップ617のクロックCK入力端子に入力されている。Dフリップフロップ616のリセットRESET入力端子及びDフリップフロップ617のセットSET入力端子はともに電源Vccに接続されている。

【0010】

Dフリップフロップ616の反転出力XQは3入力NANDゲート618の第2の入力端子に接続され、Dフリップフロップ617の出力Qは3入力NANDゲート618の第3の入力端子に接続されている。3入力NANDゲート618の出力は、セットリセットフリップフロップ621を構成するNANDゲート619の他方の入力端子に入力する。セットリセットフリップフロップ621を構成するNANDゲート620の出力はNANDゲート608の他方の入力端子及びインバータ622の入力端子に入力する。インバータ622は、内部省電力信号P S R Sを出力する。

【0011】

図7は図6に示す従来の省電力動作制御回路212の動作のタイミングチャートを示したものである。省電力動作制御信号P S RがLの時には、Dフリップフロップ616はセット状態、Dフリップフロップ617はリセット状態、NANDゲート620の出力はHレベルである。省電力動作制御信号P S RがLからHに立ち上がった後、基準信号F R A RがLからHに立ち上がると、インバータ609の出力は、基準信号F R A Rの立ち上がりから10ゲート分遅延した後、LからHに立ち上がる。この立ち上がりタイミングで、Dフリップフロップ616

はプリスケーラ出力の反転信号X F P A Rを記憶し、反転出力X QよりHレベルのX Q 1信号を出力する。次に、インバータ609の出力のC K 1の立ち上がりから16ゲート分遅延した後、インバータ615の出力のC K 2が立ち上がる。この立ち上がりタイミングで、Dフリップフロップ617はプリスケーラ出力の反転信号X F P A Rを記憶し、出力QよりHレベルのQ 2信号を出力する。3入力N A N Dゲート618の出力Aは、プリスケーラ出力の反転信号X F P A RとX Q 1とQ 2がHレベルのときにLレベルとなる。従って、N A N Dゲート619の出力BはHレベルとなり、セットリセットフリップフロップ621の出力CはLレベルとなる。これにより、内部省電力制御信号P S R SはHレベルとなり、省電力状態が解除される。

【0012】

図8は、省電力動作制御回路212の解除時の動作を示すフローチャートを示したものである。ステップS1-1で、省電力制御信号P S Rが解除された後、ステップS1-2でC K 1の立ち上がり時点でプリスケーラ出力の反転信号X F P A RがHかLかを判断する。プリスケーラ出力の反転信号X F P A RがLならば、ステップS1-3でC K 2の立ち上がり時点でプリスケーラ出力の反転信号X F P A RがHかLかを判断する。プリスケーラ出力の反転信号X F P A RがHならば、内部省電力状態は解除され、図2の基準信号分周段202のリファレンスカウンタ203及び比較信号分周段205のスワローカウンタ206とメインカウンタ207及び位相比較部208の省電力状態が解除されチャージポンプ209を介して位相誤差信号227が出力される。

【0013】

【発明が解決しようとする課題】

しかしながら、上述した従来技術には、次のような問題がある。

図9は従来回路の第1の問題点を示したものである。第1の問題点は、ノイズによる誤動作で、省電力状態が解除されてしまうことである。省電力制御信号P S RがLからHとなり省電力状態が解除された時に、ノイズが発生して、基準信号F R A Rと比較信号222のプリスケーラ出力の反転信号X F P A Rにノイズが入り、これによって、省電力制御回路212の出力の内部省電力信号P S R S

がHレベルとなり、すぐに基準信号分周段202や比較信号分周段205、位相比較部208等の位相比較器101の内部回路が動作を開始する。この結果基準信号F R A Rとプリスケーラ出力の反転信号X F P A Rの2つの信号の位相が大きくずれてしまう結果となる。

【0014】

図10は従来回路の第2の問題点を示したものである。第2の問題点は、省電力制御信号P S RがLからHとなり省電力状態が解除された時に、基準信号F R A Rと比較信号222のプリスケーラ出力の反転信号X F P A Rの位相差が常に一定のままとなってしまい、内部省電力信号P S R SがHレベルとなることができないので、基準信号分周段202や比較信号分周段205、位相比較部208等の位相比較器101の内部回路が動作しないというものである。

【0015】

本発明は、上記の点に鑑みてなされたものであり、上述の問題点を解消し、確実にかつ安定に省電力状態の解除ができる位相比較器の省電力動作制御方法及び装置を提供することを目的とする。

【0016】

【発明を解決するための手段】

上記目的を達成するために、本発明は次のように構成される。

請求項1は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周ステップと、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周ステップと、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較ステップを含む位相比較器の省電力動作制御方法において、

前記基準信号分周ステップと前記比較信号分周ステップの出力に従って、省電力状態解除信号を生成する解除信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期基準信号分周ステップの初期化を行う第1の初期化信号を生成する第1の初期化信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期比較信号分周ステップの初期化を行う第2の初期化信号を生成する第2の初期化信号生成ステップを含むこと

を特徴とする。

【0017】

請求項1によれば、基準信号分周ステップと比較信号分周ステップの出力が変化したことを確認した後、第1の初期化信号で基準信号分周ステップをリセットし、また、第2の初期化信号で比較信号分周ステップをリセットすることによって、省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になつてないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号（F R A R）およびプリスケーラ出力の信号（F P A R）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御方法を得ることができる。

【0018】

請求項2は、請求項1記載の前記基準信号分周ステップと前記比較信号分周ステップの分周比は、それぞれ独立に設定できることを特徴とする。

請求項2によれば、前記基準信号分周ステップと前記比較信号分周ステップの分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御方法を得ることができる。

【0019】

請求項3は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器の省電力動作制御回路において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第1の初期化信号を生成する第1の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う

第2の初期化信号を生成する第2の初期化信号生成手段を含むことを、特徴とする。

【0020】

請求項3によれば、基準信号分周手段と比較信号分周手段の出力が変化したことと確認した後、第1の初期化信号で基準信号分周手段をリセットし、また、第2の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になつてないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号(F R A R)およびプリスケーラ出力の信号(F P A R)の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を得ることができる。

【0021】

請求項4は、請求項3記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする。

請求項4によれば、前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御回路を得ることができる。

【0022】

請求項5は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と電圧制御発振器の出力信号を受け前記出力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器と、前記位相比較器の比較結果の出力を受けるループフィルタと、前記ループフィルタの出力を受ける前記電圧制御発振器よりなるPLL周波数シンセサイザにおいて、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第1の初期化信号を生成する第1の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第2の初期化信号を生成する第2の初期化信号生成手段を含む位相比較器の省電力動作制御回路を含む位相比較器を含むことを特徴とする。

【0023】

請求項5によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、第1の初期化信号で基準信号分周手段をリセットし、また、第2の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号(F R A R)およびプリスケーラ出力の信号(F P A R)の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を含む位相比較器を含むPLL周波数シンセサイザを得ることができる。

【0024】

請求項6は、請求項5記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする。

請求項6によれば、前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御回路を含む位相比較器を含むPLL周波数シンセサイザ得ることができる。

【0025】

請求項7は、半導体集積回路に、請求項5及び6記載のPLL周波数シンセサイザを含むことを特徴とする。

請求項7によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、第1の初期化信号で基準信号分周手段リセットし、また、第2

の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号（F R A R）およびプリスケーラ出力の信号（F P A R）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を含む位相比較器を含むP L L周波数シンセサイザを含む半導体集積回路得ることができる。

【0026】

請求項8は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と電圧制御発振器の出力信号を受け前記出力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器と、前記位相比較器の比較結果の出力を受けるループフィルタと、前記ループフィルタの出力を受ける前記電圧制御発振器よりなるP L L周波数シンセサイザを含む送受信装置において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第1の初期化信号を生成する第1の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第2の初期化信号を生成する第2の初期化信号生成手段を含む位相比較器の省電力動作制御回路を含むP L L周波数シンセサイザを含むことを特徴とする。

【0027】

請求項8によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、第1の初期化信号で基準信号分周手段をリセットし、また、第2の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることに

より、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く、且つ、省電力制御信号の解除されるタイミングと、基準信号（F R A R）およびプリスケーラ出力の信号（F P A R）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を含む位相比較器を含むP L L周波数シンセサイザを含む送受信装置を得ることができる。

【0028】

請求項9は、請求項8記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする。

請求項9によれば、前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御回路を含む位相比較器を含むP L L周波数シンセサイザを含む送受信装置を得ることができる

【0029】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

図11は、本発明の第1実施例の位相比較器101を示したものである。図11において図2に示した従来の位相比較器101と異なる点は、省電力制御回路1101の部分である。また、図11において図2と同一番号を付した構成要素は、同一の構成要素を表すものである。本実施例の省電力制御回路1101では、基準信号F R A R、比較信号222のプリスケーラ出力信号F P A R、基準信号分周段202の出力信号F R及び比較信号分周段205の出力信号F Pより、内部省電力信号P S R S 1、P S R S 2、P S R S 3を生成する。以下、図12および図13を用いて、図11の省電力制御回路1101の動作を説明する。

【0030】

図12は本発明の省電力動作制御回路1101を示したものである。省電力制御信号1231はLレベルの時は省電力状態を示し、Hレベルのときには、省電力状態が解除されていることを示す。省電力制御信号1231は、Dフリップフ

ロップ1201のD入力端子、RESET端子、Dフリップフロップ1202のリセットRESET端子、Dフリップフロップ1204のデータD入力端子、リセットRESET端子、Dフリップフロップ1205のリセットRESET端子、NANDゲート1212の一方の入力端子及びNANDゲート1217の一方の入力端子に接続されている。

【0031】

リファレンスカウンタの出力信号(FR)1232は、インバータ1203の入力端子、Dフリップフロップ1201のクロックCK入力端子及びDフリップフロップ1202のクロックCK入力端子に接続されている。インバータ1203の出力はDフリップフロップ1201の反転クロックXCK入力端子及びDフリップフロップ1202の反転クロックXCK入力端子に接続されている。Dフリップフロップ1201の出力QはDフリップフロップ1202のデータD入力端子に接続されている。

【0032】

メインカウンタの出力信号(FP)1233は、インバータ1206の入力端子、Dフリップフロップ1204のクロックCK入力端子及びDフリップフロップ1205のクロックCK入力端子に接続されている。インバータ1206の出力はDフリップフロップ1204の反転クロックXCK入力端子及びDフリップフロップ1205の反転クロックXCK入力端子に接続されている。Dフリップフロップ1204の出力QはDフリップフロップ1205のデータD入力端子に接続されている。

【0033】

Dフリップフロップ1202の出力QはNANDゲート1207の一方の入力端子に接続され、Dフリップフロップ1205の出力QはNANDゲート1207の他方の入力端子に接続されている。NANDゲート1207の出力はインバータ1208の入力端子に接続されており、インバータ1208の出力は、内部省電力制御信号(PSRS1)1236である。また、Dフリップフロップ1201、1202、1204、1205のSET端子は、電源Vccに接続されている。

【0034】

基準信号F R A Rは、インバータ1210の入力端子、Dフリップフロップ1209のクロックCK入力端子に接続されている。インバータ1210の出力はDフリップフロップ1209の反転クロックXCK入力端子に接続されている。Dフリップフロップ1209の出力QはN A N Dゲート1211の一方の入力端子に接続されている。Dフリップフロップ1209のR E S E T端子は電源V_ccに、データD入力端子はグランドG N Dに接続されている。また、Dフリップフロップ1209のS E T端子及びN A N Dゲート1211の他方の入力端子は、インバータ1208の出力に接続されている。N A N Dゲート1211の出力はN A N Dゲート1212の他方の入力端子に接続されており、N A N Dゲート1212の出力はインバータ1213入力端子に接続されている。インバータ1213の出力は、内部省電力制御信号（P S R S 2）1237である。

【0035】

プリスケーラの出力信号（F P A R）1235は、インバータ1215の入力端子、Dフリップフロップ1214のクロックCK入力端子に接続されている。インバータ1215の出力はDフリップフロップ1214の反転クロックXCK入力端子に接続されている。Dフリップフロップ1214の出力QはN A N Dゲート1216の一方の入力端子に接続されている。Dフリップフロップ1214のR E S E T端子は電源V_ccに、データD入力端子はグランドG N Dに接続されている。また、Dフリップフロップ1214のS E T端子及びN A N Dゲート1216の他方の入力端子は、インバータ1208の出力に接続されている。N A N Dゲート1216の出力はN A N Dゲート1217の他方の入力端子に接続されており、N A N Dゲート1217の出力はインバータ1218入力端子に接続されている。インバータ1218の出力は、内部省電力制御信号（P S R S 3）1238である。

【0036】

図13は、本発明の省電力動作制御回路のタイミングチャートを示したものである。省電力動作制御信号P S RがLの時には、Dフリップフロップ1201、1202、1204、1205はリセット状態、Dフリップフロップ1209、

1214はセット状態、内部省電力制御信号P S R S 1、P S R S 2、P S R S 3はLレベルである。省電力動作制御信号P S RがLからHに解除されると、図11の基準信号分周段202のリファレンスカウンタ203及び比較信号分周段205のスワローカウンタ206及びメインカウンタ207の動作が開始し、分周された出力F RとF Pが出力される。リファレンスカウンタ203の分周された出力F Rが2回出力され、且つ、スワローカウンタ206及びメインカウンタ207の分周された出力F Pが2回出力された時に、内部省電力制御信号P S R S 1がLからHに立ち上がる。

【0037】

内部省電力制御信号P S R S 1がHとなると、Dフリップフロップ1209のS E T端子がHとなり、セット状態が解除される。この後、最初に入力した基準信号F R A Rが立ち上がる時点で、Dフリップフロップ1209の出力（A点）はLになる。内部省電力制御信号P S R S 1がHとなってから、Dフリップフロップ1209の出力（A点）がLとなるまでの期間、内部省電力制御信号P S R S 2はLレベルとなる。また、内部省電力制御信号P S R S 1がHとなると、Dフリップフロップ1214のS E T端子がHとなり、セット状態が解除される。この後、最初に入力したプリスケーラの出力信号F P A Rが立ち上がる時点で、Dフリップフロップ1214の出力（B点）はLになる。内部省電力制御信号P S R S 1がHとなってから、Dフリップフロップ1214の出力（B点）がLとなるまでの期間、内部省電力制御信号P S R S 3はLレベルとなる。この様に生成された内部省電力制御信号P S R S 2により、図11の基準信号分周手段202のリファレンスカウンタ203がリセットされ、また内部省電力制御信号P S R S 3により比較信号分周手段205のスワローカウンタ206及びメインカウンタ207がリセットされる。一方、内部省電力制御信号P S R S 2はLレベルとなる期間と、内部省電力制御信号P S R S 3はLレベルとなる期間の差は最大でプリスケーラの出力信号F P A Rの周期 τ_{f_p} または、基準信号F R A Rの周期 τ_{f_r} の長い方の期間以下である。

【0038】

図14は、本発明の省電力動作制御回路の解除時のフローチャートを示したもの

のである。ステップS2-1で、省電力制御信号PSRが解除された後、ステップS2-2でメインカウンタ、スワローカウンタ、リファレンスカウンタを動作させる。次に、ステップS2-3でリファレンスカウンタの出力FR及びメインカウンタ、スワローカウンタの出力FPが、出力されたかどうかを判断する。両方が出力されたならば、ステップS2-4で内部省電力信号PSRS1がHレベルとなり位相比較部208省電力状態が解除されチャージポンプ209を介して位相誤差227を出力する。次に、ステップS2-5で内部省電力信号PSRS2及び内部省電力信号PSRS3が出力されこれによって、メインカウンタ、スワローカウンタ、リファレンスカウンタにリセットがかけられる。

【0039】

以上説明したように、本実施例では、リファレンスカウンタ203で構成される基準信号分周手段202とスワローカウンタ206及びメインカウンタ207で構成される比較信号分周手段205の出力が変化したことを確認した後、第1の初期化信号で基準信号分周手段202をリセットし、また、第2の初期化信号で比較信号分周手段をリセットすることによって、省電力状態が解除されたときの位相比較器208の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号FRARおよびプリスケーラ出力の信号FPARの位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を得ることができる。また、本発明の位相比較器を図1に示すPLL周波数シンセサイザの位相比較器101の代わりに使用すれば、DT、CLK、LE信号により、基準信号分周段202のリファレンスカウンタ203の分周比Rと、比較信号分周段205のスワローカウンタ206分周比A及びメインカウンタ207の分周比Nを設定することができるので、自由な周波数の出力信号が得られ且つ、ノイズによる誤動作で省電力状態が解除されてしまうことが無くまた、省電力制御信号の解除されるタイミングと基準信号FRARおよびプリスケーラ出力の信号FPARの位相関係によって省電力状態が解除されないということも無いPL

L周波数シンセサイザを得ることができる。

【0040】

次に、図15を用いて、本発明の第2の実施例について説明する。図15は本発明による送受信器を示したものである。

先ず最初に、受信時の動作を説明する。受信時には、PROM1515に格納されたプログラムに従いマイコン1512が、KEY1514で指定された受信チャネルを取り込む。取り込んだチャネルに従って、マイコン1512は本発明による受信部のPLL周波数シンセサイザ1505の発生周波数を設定する。発生周波数の設定は、前述したように位相比較器の中の基準信号分周段のリファレンスカウンタの分周比及び比較信号分周段のスワローカウンタとメインカウンタの分周比を設定することにより行う。KEY1514によって指定した受信チャネルや、受信状態が、液晶表示器（LCD）1513に表示される。受信信号を受信したアンテナ1501は、アンテナスイッチ1502に受信信号を送る。アンテナスイッチ1502は、送受信器が受信状態のときには、アンテナ1501からの信号をA側に送る。アンテナスイッチ1502からの信号を受けた受信アンプ1503は微弱な信号を増幅する。増幅された信号は、ミキサー1504において受信部のPLL周波数シンセサイザ1505の発生する出力信号と混合される。受信部のPLL周波数シンセサイザ1505は、電圧制御発振器（VCO）1506と本発明による位相比較器1507と低域通過フィルタ（LPF）1508より成り、マイコンからの省電力動作制御信号に従って、前述した、省電力動作制御を行う。ミキサー1504の出力は、IF増幅器1509により増幅され、更に音声信号（AF）増幅器1510により増幅された後、スピーカー1511にて音声に変換されて、出力される。

【0041】

次に、送信時の動作について説明する。送信時には、PROM1515に格納されたプログラムに従いマイコン1512が、KEY1514で指定された送信チャネルを取り込む。取り込んだチャネルに従って、マイコン1512は本発明による受信部のPLL周波数シンセサイザ1505の発生周波数を設定する。発生周波数の設定は、前述したように位相比較器の中の基準信号分周段のリファレ

ンスカウンタの分周比及び比較信号分周段のスワローカウンタとメインカウンタの分周比を設定することにより行う。KEY1514によって指定した送信チャネルや、送信状態が、液晶表示器（LCD）1513に表示される。マイク1516より入力した音声は、帯域通過フィルタ（BPF）1517により帯域制限された後、MODEM1518によって、マイコン1512へ送られる。マイコン1512はMODEM1518より送られた音声信号に従って、送信部のPLL周波数シンセサイザ1519の発生信号の周波数の制御を行う。受信部のPLL周波数シンセサイザ1519は、電圧制御発振器（VCO）1520と本発明による位相比較器1521と低域通過フィルタ（LPF）1522より成り、マイコンからの省電力動作制御信号に従って、前述した、省電力動作制御を行う。PLL周波数シンセサイザ1519の出力は、帯域制限フィルタ（BPF）1523によって帯域制限された後、パワーアンプ1524により電力増幅された後、アンテナスイッチ1502に送られる。アンテナスイッチ1502は、送受信器が送信状態のときには、パワーアンプ1524からの信号（B）をアンテナ1501に送る。アンテナ1501に送られた送信信号は、アンテナ1501より送信される。

【0042】

以上説明したように、本実施例に拠れば、本発明の位相比較器を用いたPLL周波数シンセサイザを使用した送受信器を構成することができる。なお、本実施例は、送受信器に本発明を適用した例であるが、これに限定されず、トランシーバ、通信機、ラジオ受信機、テレビジョン受信機、携帯電話等に適用できる。

【0043】

【発明の効果】

以上詳細に説明したように、本発明によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、基準信号分周手段と比較信号分周手段のそれぞれに所定のタイミングでリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力

状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号F R A Rおよびプリスケーラ出力の信号F P A Rの位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御方法及び装置を得ることができるという効果がある。

【0044】

また、本発明によれば、基準信号分周手段と比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御方法及び装置を得ることができるという効果がある。

更に、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、基準信号分周手段と比較信号分周手段のそれぞれに所定のタイミングでリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号F R A Rおよびプリスケーラ出力の信号F P A Rの位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御方法及び装置を持ったP L L周波数シンセサイザを得ることができるという効果がある。

【0045】

更に、本発明によるP L L周波数シンセサイザを持った送受信装置を得ることができるという効果がある。

【図面の簡単な説明】

【図1】

従来のP L L周波数シンセサイザの全体ブロック図。

【図2】

従来の位相比較器のブロック図。

【図3】

コントロール回路に入力する信号のタイミングチャート。

【図4】

位相比較器を制御するための制御データの一例

【図5】

コントロールビットCN1, CN2のデータの内容を示す図。

【図6】

従来の省電力動作制御回路。

【図7】

従来の省電力動作制御回路の動作のタイミングチャート。

【図8】

従来の省電力動作制御回路の解除時の動作を示すフローチャート。

【図9】

従来回路の第1の問題点。

【図10】

従来回路の第2の問題点。

【図11】

本発明の第1実施例。

【図12】

本発明の省電力動作制御回路

【図13】

本発明の省電力動作制御回路のタイミングチャート。

【図14】

本発明の省電力動作制御回路の解除時の動作を示すフローチャート

【図15】

本発明による送受信器

【符号の説明】

202 基準信号分周段

203 リファレンスカウンタ

204 プリスケーラ

205 比較信号分周段

206 スワローカウンタ

207 メインカウンタ

208 位相比較部

209 チャージポンプ

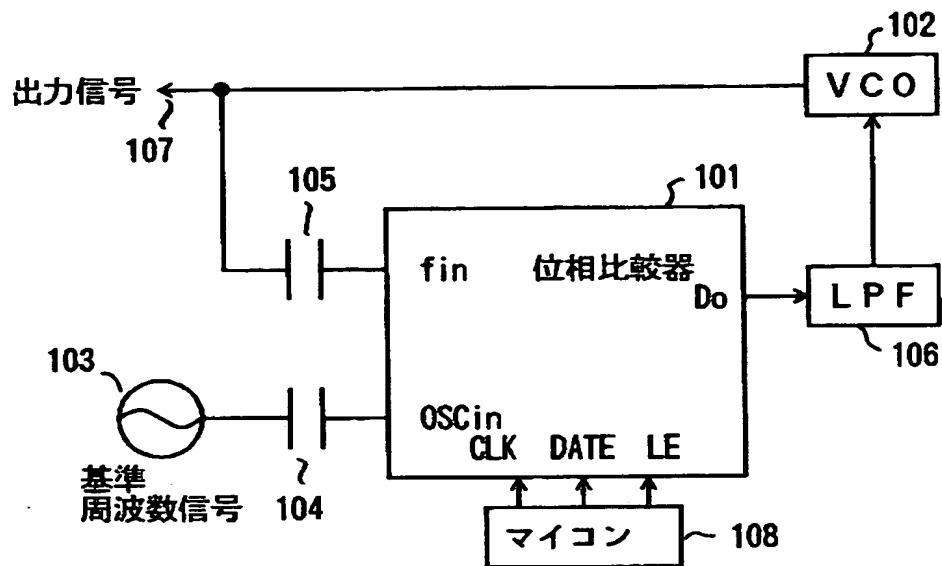
212、1101 省電力動作制御回路

213 コントロール回路

【書類名】 図面

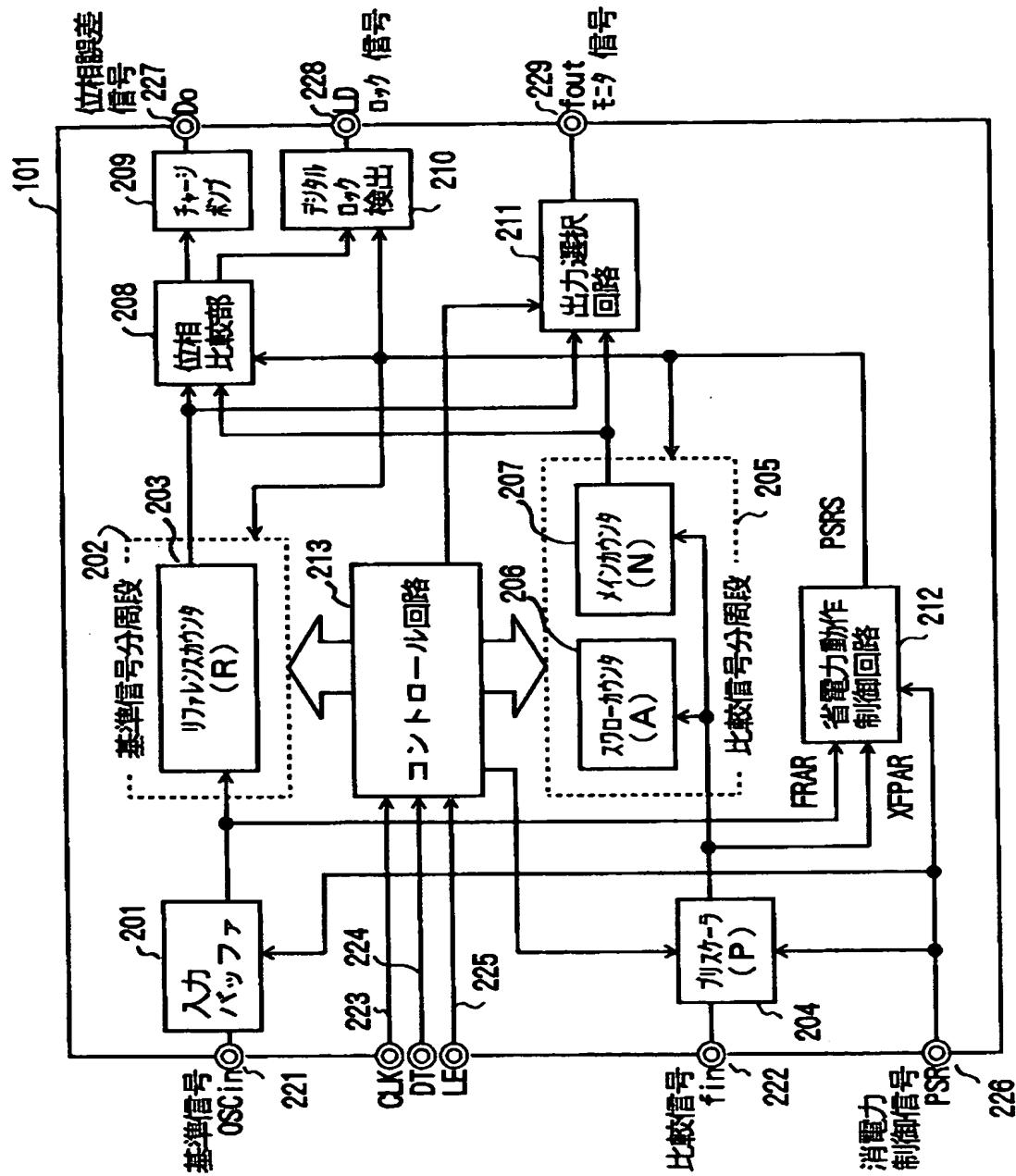
【図1】

PLL周波数シンセサイザの全体ブロック図



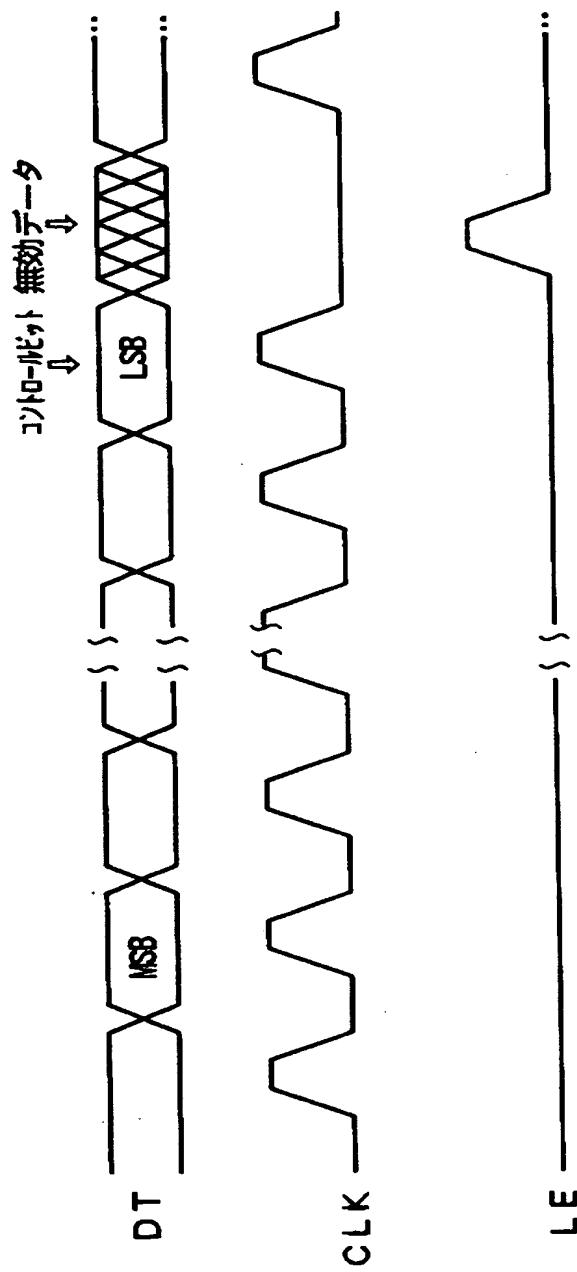
【図2】

従来の位相比較器のブロック図



【図3】

コントロール回路に入力する信号のタイミングチャート



【図4】

位相比較器を制御するための制御データの一例

(A) 基準信号分周段の制御データの構成例

		データの入力方向																(MSB)			
		(LSB)																			
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	23
C	C	X	X	R	R	R	R	R	R	R	R	R	R	R	R	R	X	X	X	X	X
N	N																				
1	2																				

(B) 比較信号分周段の制御データの構成例

		データの入力方向																(MSB)				
		(LSB)																				
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	23	
C	C	L	S	X	A	A	A	A	A	A	N	N	N	N	N	N	N	N	N	N	N	
N	N	D	W																			
1	2	S																				

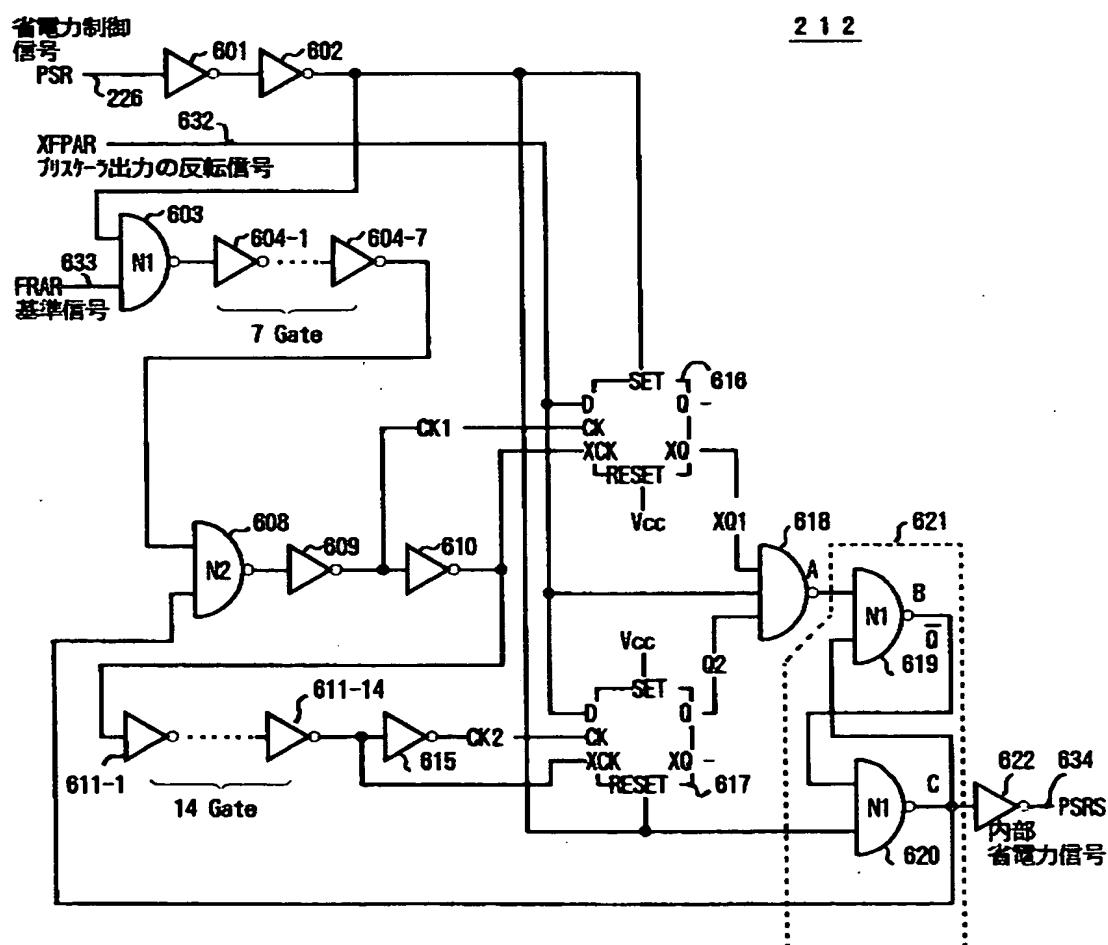
【図5】

コントロールビットCN1, CN2のデータの内容

	基準信号分周段	比較信号分周段
CN1	0	0
CN2	0	1

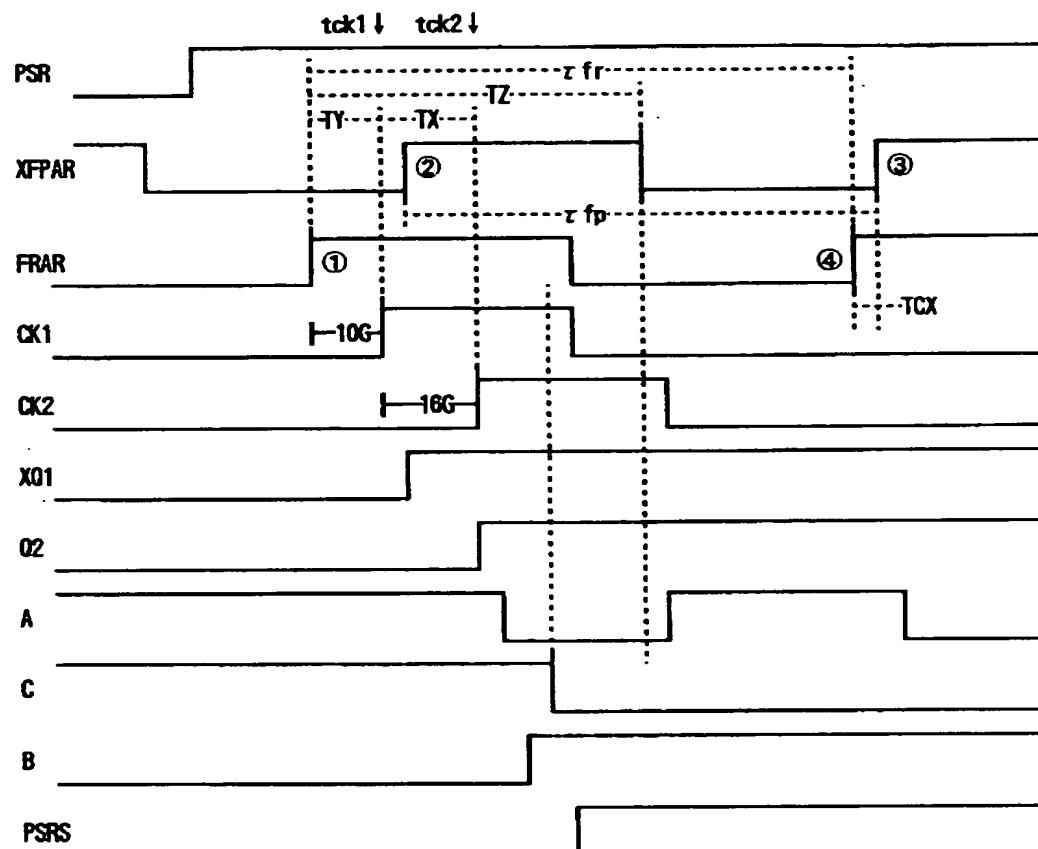
【図6】

従来の省電力動作制御回路



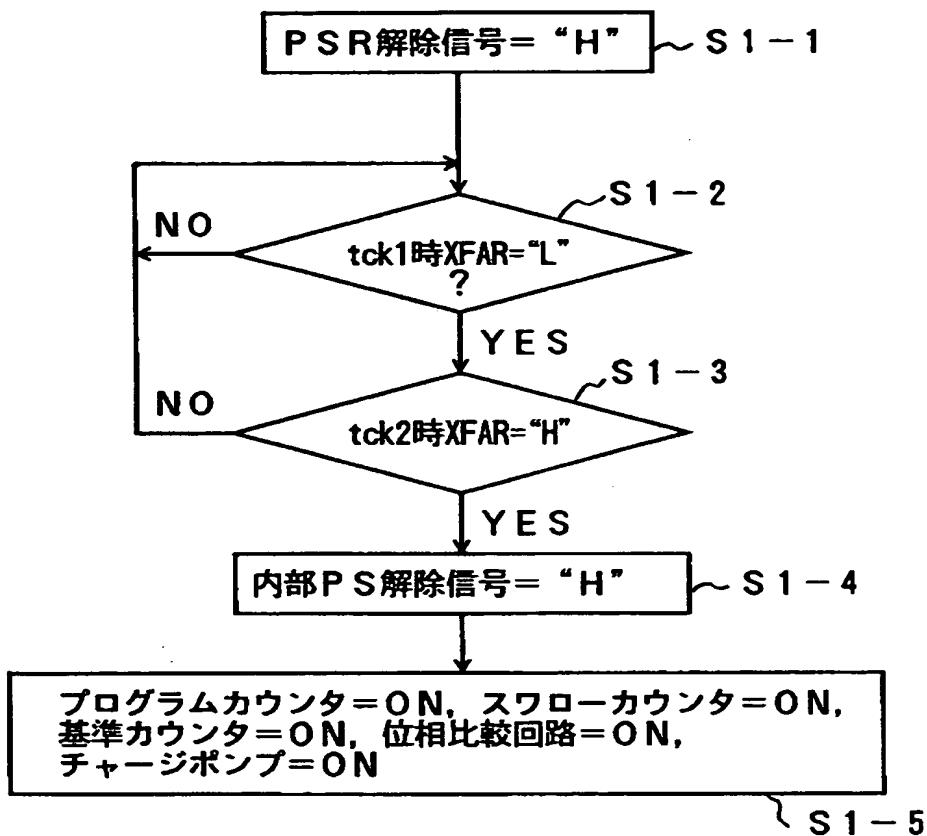
【図 7】

従来の省電力動作制御回路の動作タイミングチャート



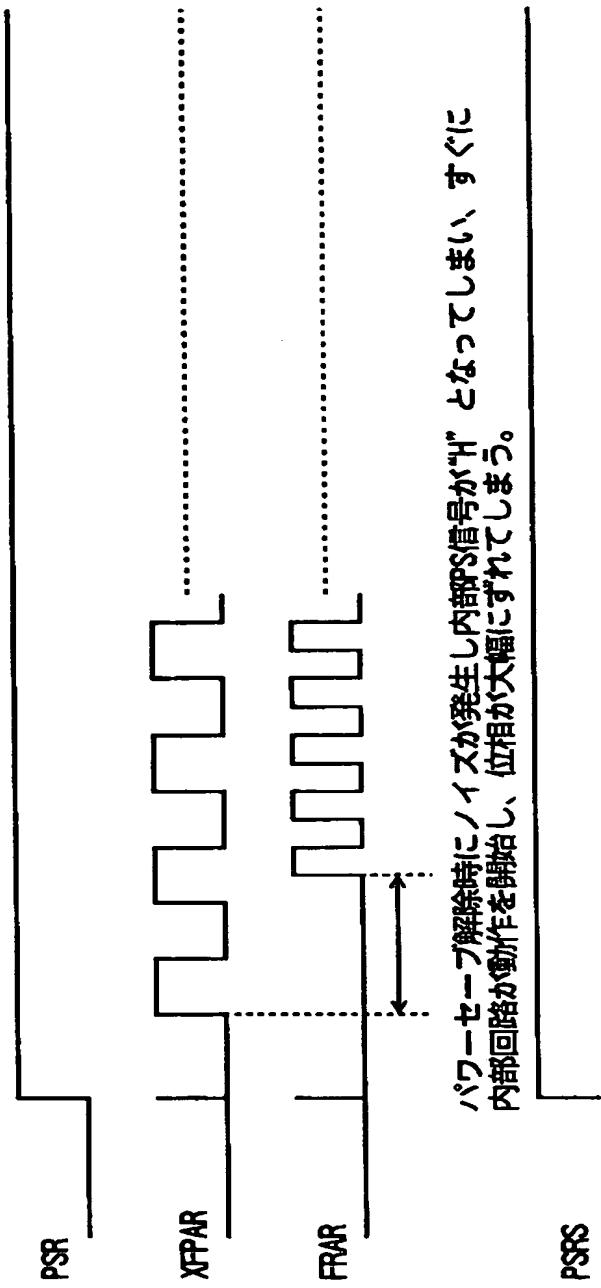
【図8】

従来の省電力動作制御回路の解除時のフローチャート



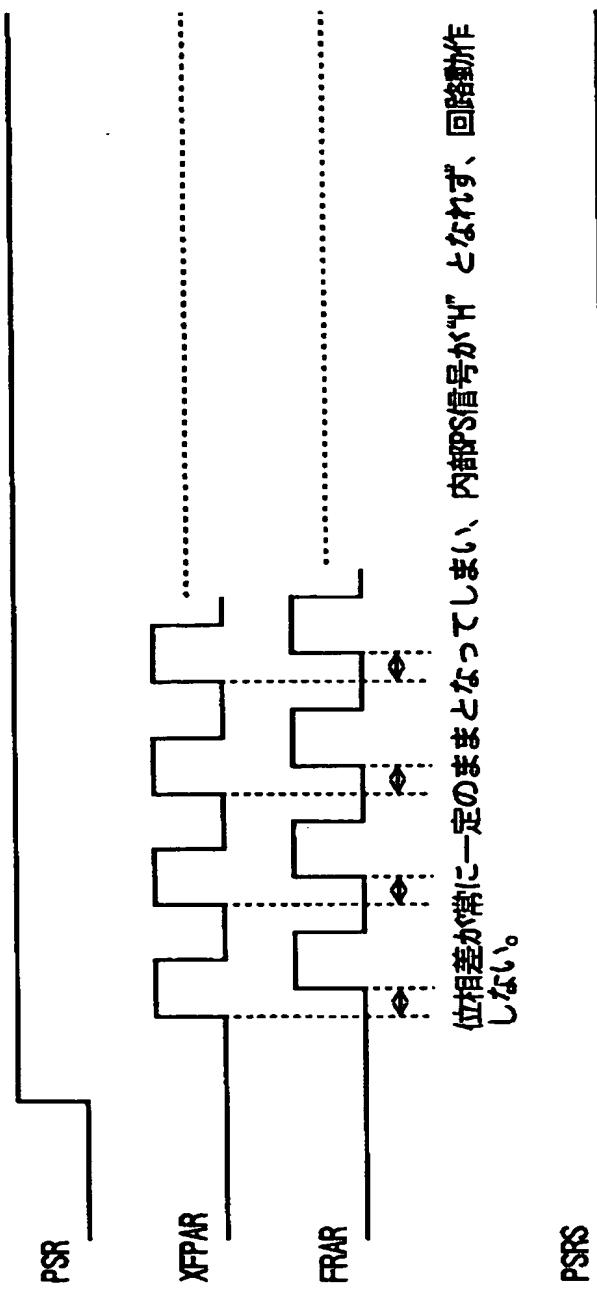
【図9】

従来の第1の問題点を示す図



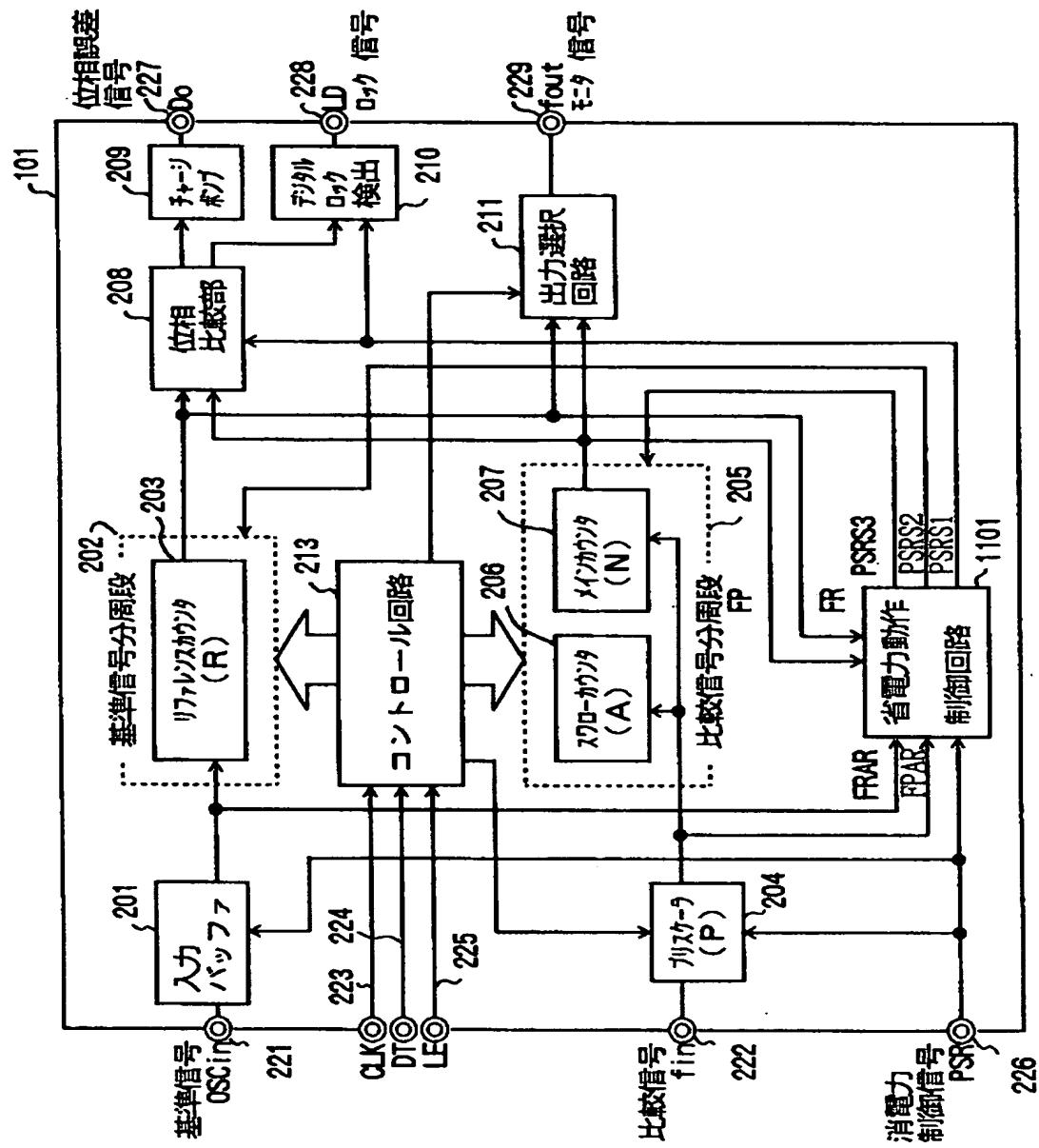
【図10】

従来の第2の問題点を示す図



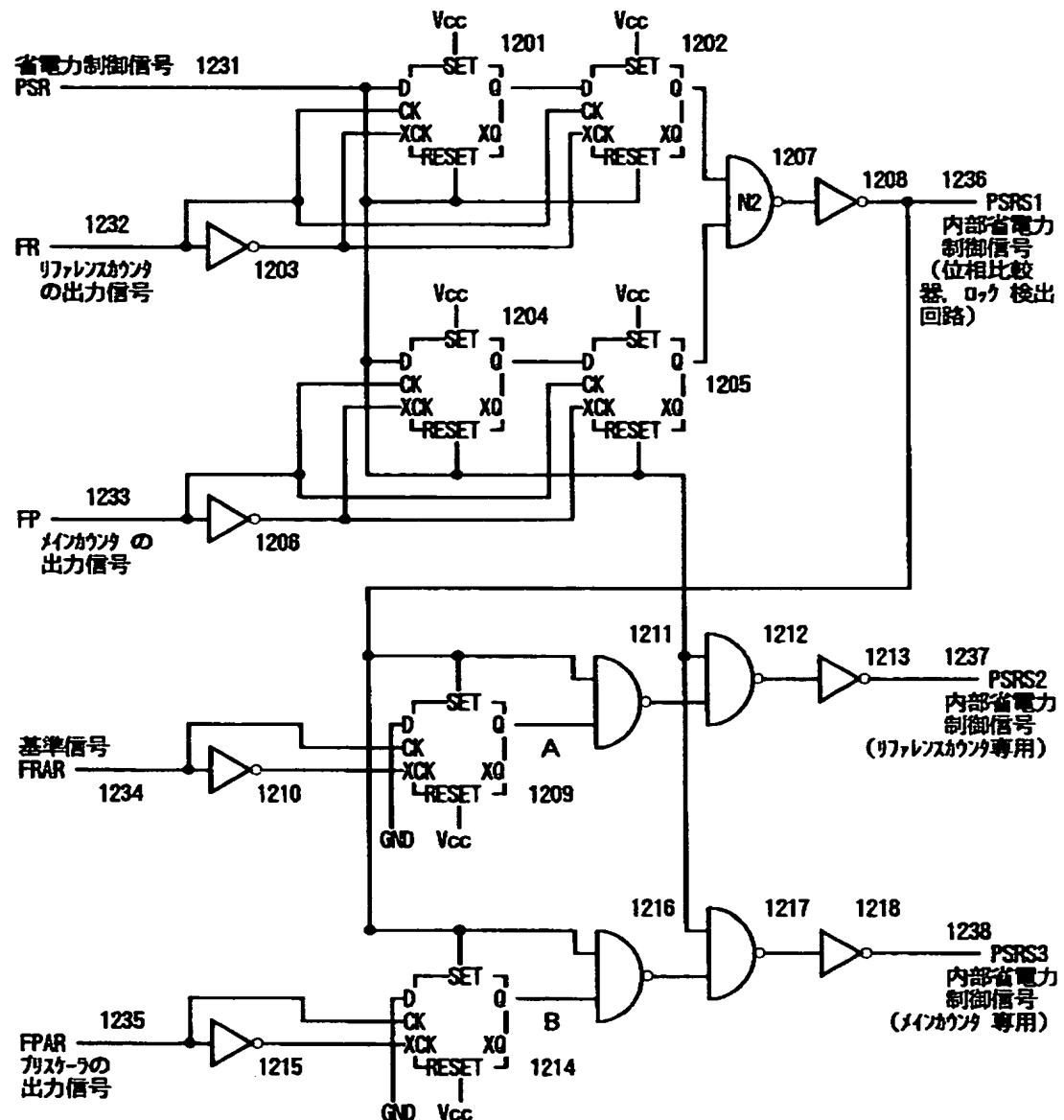
【図11】

本発明の位相比較器のブロック図



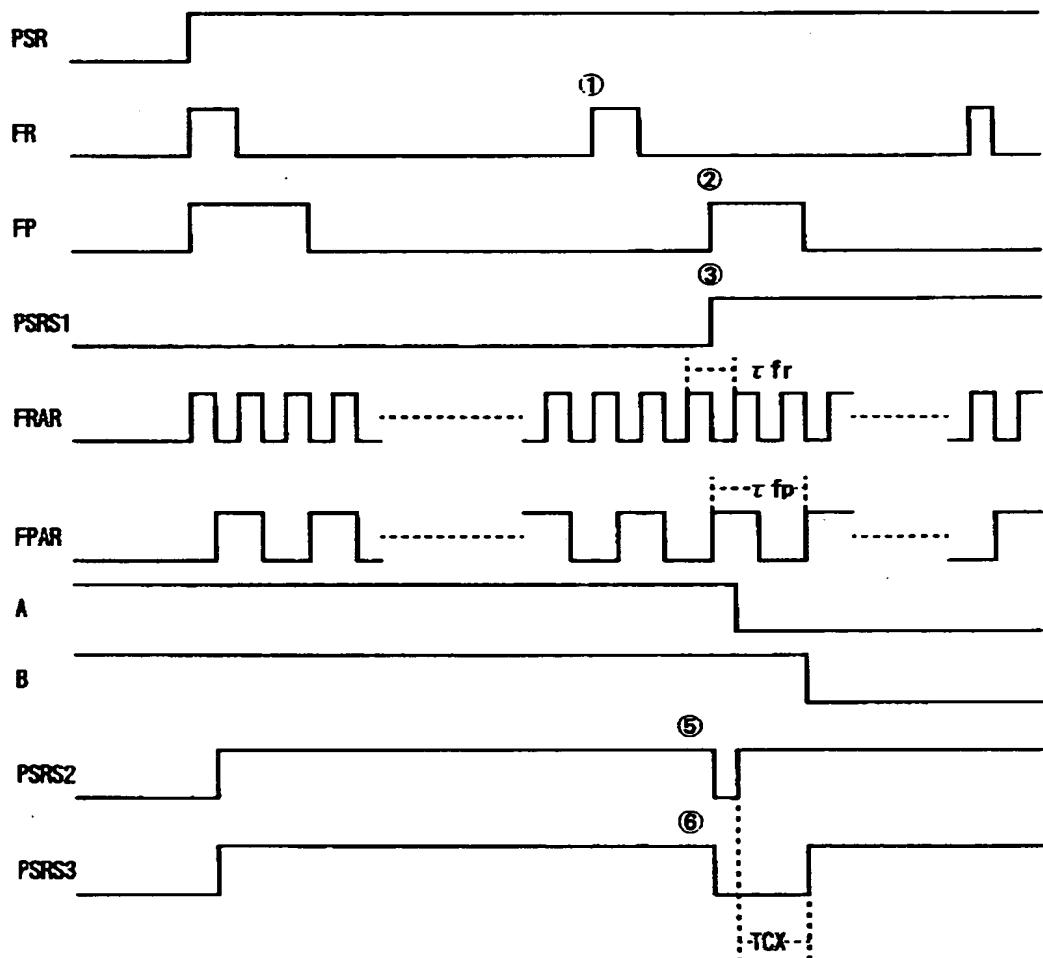
【図12】

本発明の省電力動作制御回路



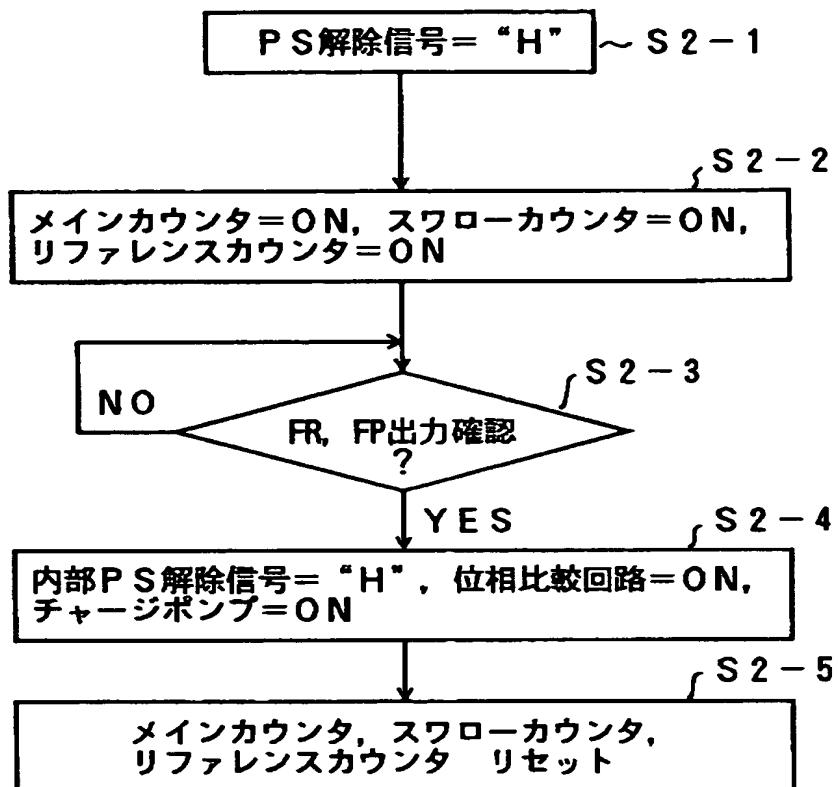
【図13】

本発明の省電力動作制御回路の動作タイミングチャート



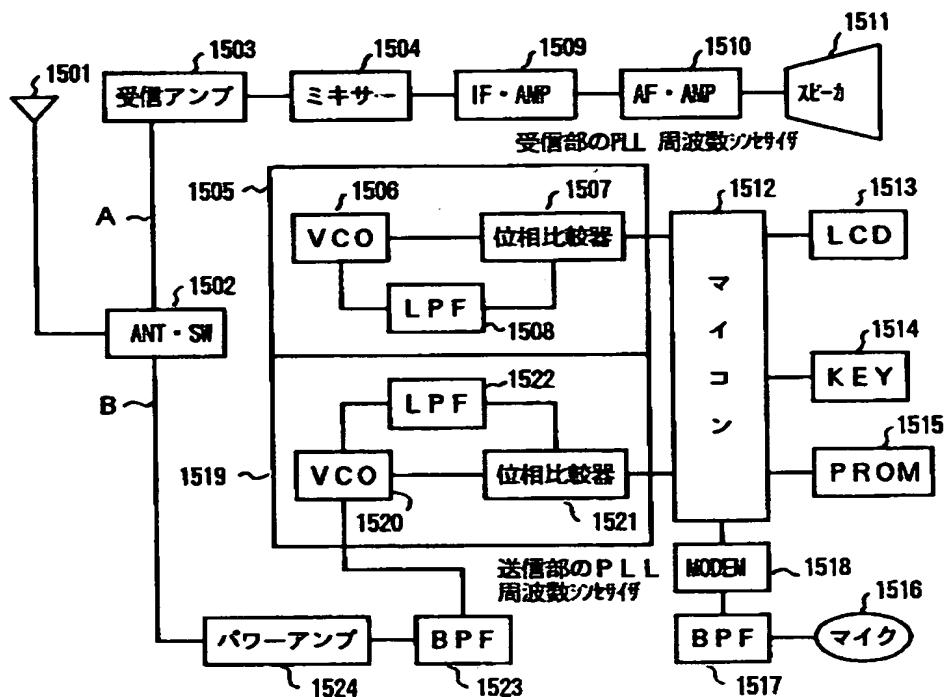
【図14】

本発明の省電力動作制御回路の解除時のフローチャート



【図15】

本発明による送受信機



【書類名】 要約書

【要約】

【課題】 本発明は、確実にかつ安定に省電力状態の解除ができる位相比較器の省電力動作制御方法及び装置を提供することを目的とする。

【解決手段】 基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器の省電力動作制御回路において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第1の初期化信号を生成する第1の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第2の初期化信号を生成する第2の初期化信号生成手段により位相比較器の省電力動作制御回路を構成する。

【選択図】 図12

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社